



BIRZEIT UNIVERSITY

Faculty of Engineering and Technology
Electrical and Computer Engineering Department

ENCS 2340 Digital Systems

First Semester 2024/2025

Course Catalog

.Credit hours (3 h lectures) 3

Number Systems. Boolean Algebra. Logic gates. Simplification of Boolean functions. Design of Combinational Logic. Sequential logic: latches, flip-flops, state diagrams and excitation tables. Registers, counters, and sequential systems, derivation of state tables and state diagrams. Memory units. Introduction to .Programmable Logic Devices, and Hardware Description Languages

Text Book(s)

Title	Digital Design
Author(s)	M. Morris Mano and Michael D. Ciletti
Publisher	Prentice Hall
Year	2012
Edition	5 th Edition

References

Books	Fundamentals of Logic Design, Charles Roth, Jr., Brooks Cole. 7 th Edition, 2013. 1 Digital Design: Principles and Practices, John F. Wakerly, 4 th Edition, Prentice Hall. 2005 .2
--------------	--

Instructor

Instructors

	Mohammed Hussein, Aziz Qaroush, Bilal Karaki, Mohammad Khalil and Ali Abdo	
Office Location	Mohammed Hussein Masri 214 for the course Coordinator	
Office Phone	97022982935+	
E-mail (coordinator)	mhussein@birzeit.edu	

ENCS2340 أنظمة رقمية DIGITAL SYSTEMS لغة التدريس: الانجليزية				
	رقم الشعبة	اسم المدرس	عدد الطلاب	جدول الأوقات
محاضرة	1	عزيز محمد أحمد قرعوش	56	T, R 12:30 - 13:50 Masri204
محاضرة	2	محمد أحمد عبد الرحمن خليل	56	S, M, W 11:00 - 11:50 Masri306
محاضرة	3	علي حسن معاذ عبده	54	S, M, W 13:00 - 13:50 Masri406
محاضرة	4	علي حسن معاذ عبده	55	S, M, W 09:00 - 09:50 Masri306
محاضرة	6	محمد سامي عبدالكريم حسين	61	S, M, W 12:00 - 12:50 A.Shaheen162
محاضرة	7	بلال جعفر حامد كركي	49	S, M, W 08:00 - 08:50 Masri504
محاضرة	8	بلال جعفر حامد كركي	55	S 14:00 - 15:20 Masri204 W 14:00 - 15:20 Bamieh204

Office Hours
Check Ritaj for the office hours of your Instructors

Prerequisites	
Prerequisites by course	COMP230 or COMP133

Topics Covered		
Topics	Chepters in Text	Week number
Binary Systems	Chapter 1	1
Boolean Algebra and Logic Gates	Chapter 2	3 – 2
Gate-Level Minimization	Chapter 3	5 – 4
Combinational Logic	Chapter 4	8 – 6
HDL for combinational logic		9
Midterm Exam		
Synchronous Sequential Logic	Chapter 5	12 – 10
Registers and Counters	Chapter 6	13-14
HDL for Sequential Logic		15

Mapping of Course Objectives to Program Outcomes	Assessment method
Understand and practice number representation and conversion .1 in different number systems and perform different arithmetic .operations in different number systems	Quizzes, Exams
Recognize, manipulate, simplify, and implement Boolean .2 functions using Boolean algebra theory, K-map and .Tabulation Method	Quizzes, Exams
Analyze and design combinational logic circuits using Boolean .3 .algebra and logic gates and logic blocks	Quizzes, Exams
Analyze and design computer arithmetic units (full adder, half .4 .adder, subtractor, and multiplier)	Quizzes, Exams
.Analyze and design sequential logic circuits .5	Quizzes, Exams
Use the Verilog Hardware Description Language (HDL) and .6 use its different modeling techniques for combinational and .sequential circuit description	Assignments
Learn how to implement combinational circuits using .7 .Programmable devices such as ROM, PAL and PLA	Assignments, Exams

ABET Outcome

- .a: Ability to apply mathematics, science and engineering principles
- .c: Ability to design a system, component, or process to meet desired needs
- .e: Ability to identify, formulate and solve engineering problems

Evaluation

Assessment Tool	Expected Due Date	Weight
Midterm Exam	Week9	% 35
Final Exam	End of Semester	45%
Homework's + HDL Assignments	HDL Project	% 10
Quizzes	Quizzes 2	% 10

Policy

Attendance	Attendance is very important for the course. In accordance with university policy, students missing more than 10% of total classes are subject to failure. Penalties may be assessed without regard to the student's performance. Attendance will be recorded at the beginning or end of each class
University Policies	.Academic honor policy will be enforced, so please read the (honor code) Cheating will not be tolerated, but working together is encouraged
Exams	All exams will be CLOSE-BOOK; necessary algorithms/equations/relations will be supplied as convenient. The date of the Exams will be scheduled later

ميثاق شرف الأمانة الأكاديمية

بموجب التسجيل في هذا المساق يلتزم الطالب باحترام أنظمة وقوانين الجامعة وخاصة تلك المتعلقة بالأمانة العلمية وعدم الغش. ويتحمل الطالب مسئولية ذاتية، أدبية وقانونية، عن المحافظة على الأمانة العلمية وذلك بالامتناع عن الغش في الامتحانات والوظائف والتقارير، وعدم السماح لغيره من الطلاب بأن ينقلوا عنه في الامتحانات والوظائف والتقارير.

يستوجب الغش أو محاولة الغش التوبيخ والإجراءات القانونية المنصوص عليها في تعليمات الأمانة الأكاديمية التي أقرها مجلس الجامعة بتاريخ 5 تموز 2006 وتشمل ما يلي:

1. العقوبة الأكاديمية: يقرها مدرس المساق وقد تصل إلى علامة رسوب في المساق.
2. العقوبة التأديبية: تقررها لجنة النظام في الكلية وقد تصل إلى الفصل المؤقت أو النهائي من الجامعة.

بموجب تسجيلي في هذا المساق واستلامي لهذا الميثاق أتعهد أمام الله أن أحافظ على الأمانة الأكاديمية بأن أمتنع عن الغش، وأن لا أتسامح مع أي محاولة للغش من قبل الآخرين.